

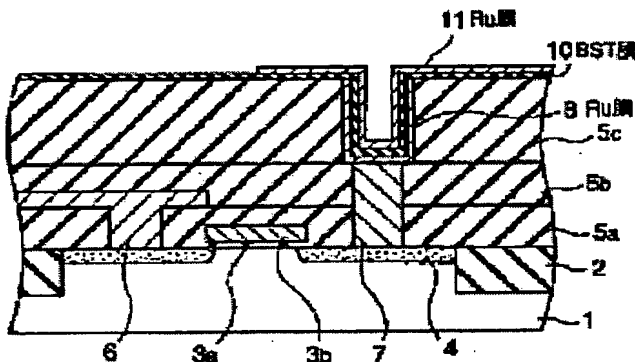
MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent number: JP11340435
Publication date: 1999-12-10
Inventor: AOYAMA TOMONORI; EGUCHI KAZUHIRO
Applicant: TOKYO SHIBAURA ELECTRIC CO
Classification:
- international: H01L27/108; H01L21/8242; H01L21/28
- european:
Application number: JP19980141222 19980522
Priority number(s): JP19980141222 19980522

Report a data error here

Abstract of JP11340435

PROBLEM TO BE SOLVED: To improve surface morphology and to suppress island-shaped growth when forming a capacitor electrode. **SOLUTION:** In the manufacture of a capacitor using a metal oxide as a dielectric film 10 and using a ruthenium film or a ruthenium oxide film as electrodes 8 and 11 for sandwiching the dielectric film, at least one electrode is formed by the CVD method using an organic group ruthenocene where at least one hydrogen out of ruthenocene or cyclopentadienyl ring is substituted for an organic functional group as a feed gas. In that case, for promoting a reaction for decomposing the cyclopentadienyl ring for forming the framework of cyclopentadienyl ring that is the ligand of the feed gas or the cyclopentadienyl with an organic functional group into a group with one carbon and a group with four carbons, or a reaction for decomposing into a group with one carbon and a group with two carbons, a catalyst that is made of a substance containing at least an 8-group or an 1B-group element is formed on the underlying surface.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-340435

(43)公開日 平成11年(1999)12月10日

(51) Int. Cl. ⁶

識別記号

FI

H01L 27/108

H01L 27/10

651

21/8242

21/28

301

z

21/28

301

審査請求 未請求 請求項の数 6 O L (全12頁)

(21)出願番号

特願平10-141222

(22) 出題日

平成10年(1998)5月22日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 發明者 青山 知憲

神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内

(72) 発明者 江口 和弘

神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内

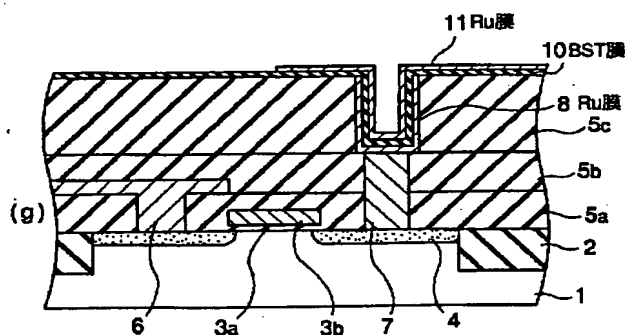
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 キャパシタ電極の形成に際し、表面モフォロジーを向上させ、島状成長を抑制する。

【解決手段】 誘電体膜 10 として金属酸化物を用い、この誘電体膜を挟む電極 8、11 としてルテニウム膜または酸化ルテニウム膜を用いたキャパシタの製造において、少なくとも一方の電極をルテノセンまたはシクロペンタジエニル環の一つ以上の水素が有機官能基に置換された有機基ルテノセンを原料ガスとして用いた CVD 法で形成する際に、原料ガスの配位子であるシクロペンタジエニル基または有機官能基を持つシクロペンタジエニル基の骨格を形成するシクロペンタジエニル環を、炭素 1 個の基と炭素 4 個の基に分解させる反応または炭素 1 個の基と二つの炭素 2 個の基に分解させる反応を促進させるために、下地表面に少なくとも 8 族または 1 B 族の元素を含む物質からなる触媒を形成する。



【特許請求の範囲】

【請求項 1】誘電体膜として金属酸化物を用い、この誘電体膜を挟む電極としてルテニウム膜または酸化ルテニウム膜を用いたキャパシタを有する半導体装置の製造方法において、少なくとも一方の電極をルテノセンまたはシクロペンタジエニル環の一つ以上の水素が有機官能基に置換された有機基ルテノセンを原料ガスとして用いた CVD 法で形成する工程を、原料ガスの配位子であるシクロペンタジエニル基または有機官能基を持つシクロペンタジエニル基の骨格を形成するシクロペンタジエニル環を、炭素 1 個の基と炭素 4 個の基に分解させる反応または炭素 1 個の基と二つの炭素 2 個の基に分解させる反応を促進させる条件下で行うことを特徴とする半導体装置の製造方法。

【請求項 2】前記炭素 1 個の基と炭素 4 個の基に分解させる反応または炭素 1 個の基と二つの炭素 2 個の基に分解させる反応を促進させるための処理として、前記電極が形成される下地表面に触媒を形成する処理を行うことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】前記下地表面に形成する触媒は、少なくとも 8 族または 1 B 族の元素を含む物質であることを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 4】誘電体膜として金属酸化物を用い、この誘電体膜を挟む電極としてルテニウム膜または酸化ルテニウム膜を用いたキャパシタを有する半導体装置の製造方法において、少なくとも一方の電極をルテノセンまたはシクロペンタジエニル環の一つ以上の水素が有機官能基に置換された有機基ルテノセンを原料ガスとして用いた CVD 法で形成する工程を、原料ガスの配位子であるシクロペンタジエニル基または有機官能基を持つシクロペンタジエニル基の骨格を形成するシクロペンタジエニル環が分解されてルテニウムアセチリド誘導体を生成する反応を抑制する条件下で行うことを特徴とする半導体装置の製造方法。

【請求項 5】前記ルテニウムアセチリド誘導体を生成する反応を抑制するための処理として、前記電極が形成される下地に対して表面処理を行うことを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 6】前記下地に対する表面処理は、原料ガスの構成要素に対して負の電荷を与える反応を生じさせる処理であることを特徴とする請求項 5 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法、特にキャパシタの電極として用いるルテニウム或いはルテニウム酸化物の形成に関するものである。

【0002】

【従来の技術】近年、半導体集積回路の高集積化に伴い、回路の微細化は進む一方であり、キャパシタのセル

面積も非常に小さくなってきている。セル面積が小さくなるとキャパシタ容量も小さくなってしまいが、キャパシタの容量は感度やソフトエラー等の点からあまり小さくすることができないという要請がある。これを解決する方法として、キャパシタを 3 次元的に形成しセル面積をできるだけ大きくしてキャパシタ容量を稼ぐ方法の他、キャパシタ絶縁膜に誘電率の高い絶縁膜を用いる方法が検討されている。

【0003】誘電率の高い絶縁膜として代表的なものに (Ba, Sr) TiO₃ があるが、このような酸化物誘電体を用いる場合は、電極と誘電体膜との界面に低誘電率の絶縁膜が形成されるのを防止するため、酸化されないかまたは酸化されても金属導電性を示す材料を電極として用いる必要がある。近年、このような性質を有するキャパシタの電極材料として、酸化されても金属導電性を示すルテニウム (Ru) について検討が行われている。

【0004】Ru を電極、(Ba, Sr) TiO₃ を絶縁膜としたキャパシタの形成方法の一例について、図 14 (a) ~ 図 15 (d) を参照して以下説明する。まず、p タイプ Si 基板 1 上に STI (Shallow Trench Isolation) による素子分離領域 2 を形成した後、トランジスタを構成するゲート絶縁膜 3 a、ゲート電極 (ワード線) 3 b、n⁺ 拡散層 4 を形成する。その後、層間絶縁膜 5 a を堆積して平坦化した後、ビット線 6 を形成する。続いて、層間絶縁膜 5 b を堆積して平坦化した後、コンタクトホールを開孔して W 膜 7 を埋め込み、加工する (図 14 (a))。

【0005】次に、層間絶縁膜 5 c を堆積して平坦化した後、コンタクトホールを開孔する (図 14 (b))。次に、Ru 膜 8 を Ru (C₂H₅)₂ (シクロペンタジエニルルテニウム (慣用名: ルテノセン)、以下、(C₂H₅)₂ を Cp と、(C₂H₅)₂ を (Cp)₂ と略記する) と O₂ を用いた CVD 法で堆積した後、SOG 膜 9 を全面に塗布し、さらに CMP (ケミカルメカニカルポリッシング) 法で層間絶縁膜 5 c 上の SOG 膜 9 及び Ru 膜 8 を除去する (図 14 (c))。

【0006】さらに、充分希釈した HF 水溶液または HF 蒸気によって SOG 膜 9 を全て除去した後、(Ba, Sr) TiO₃ 膜 10 を CVD 法で堆積する。その後、Ru 膜 11 を CVD 法で堆積し、上部電極として加工する (図 15 (d))。

【0007】キャパシタ容量を稼ぐためには立体キャパシタを作製することが必要であり、高誘電率の (Ba, Sr) TiO₃ を用いたとしても、上記のように CVD 法で電極及び酸化物誘電体を形成する必要がある。

【0008】しかし、一般に CVD 法で形成した金属膜或いは金属導電性を持つ金属酸化物膜は表面モフォロジーが悪く、これをキャパシタの電極として用いると電界集中によるリーク電流の増大が生じる。また、微細化を実

10

20

30

40

50

現するために極薄膜の電極を形成しようとすると、島状の形状となって膜がつながなくなってしまう、これをキャパシタ電極として用いるとキャパシタ面積を稼ぐことができず、キャパシタ動作に必要な容量が確保できないという問題も生じる。

【0009】また、柱状のキャパシタを形成する場合、Ru膜の表面モフォロジーが悪いと、CMP法で層間絶縁膜5c上のRu膜を除去した際に図16に示すようなシームがRu電極8の中央部に生じてしまう。そのため、キャパシタ絶縁膜である(Ba, Sr)TiO₃膜を堆積した際にシーム部のキャパシタ絶縁膜に窪みができてしまい、電界集中によるリーク電流の増加が生じるという問題がある。

【0010】

【発明が解決しようとする課題】このように、Ruはその酸化物(酸化ルテニウム: RuO₃)も金属導電性を示すため、(Ba, Sr)TiO₃等を誘電体とするキャパシタの電極材料として有望であるが、CVD法で形成したときに、良好な表面モフォロジーを得ることが難しく、またRuやRuO₃が島状に形成されてしまうという問題がある。

【0011】本発明は上記従来の課題に対してなされたものであり、キャパシタ電極となるルテニウムまたは酸化ルテニウムの形成に際して、表面モフォロジーに優れ、島状成長を抑制することが可能な製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明は、誘電体膜として金属酸化物を用い、この誘電体膜を挟む電極としてルテニウム膜または酸化ルテニウム膜を用いたキャパシタを有する半導体装置の製造方法において、少なくとも一方の電極をルテノセンまたはシクロペンタジエニル環の一つ以上の水素が有機官能基に置換された有機基ルテノセンを原料ガスとして用いたCVD法で形成する工程を、原料ガスの配位子であるシクロペンタジエニル基または有機官能基を持つシクロペンタジエニル基の骨格を形成するシクロペンタジエニル環を、炭素1個の基と炭素4個の基に分解させる反応または炭素1個の基と二つの炭素2個の基に分解させる反応を促進させる条件下で行うことを特徴とする(請求項1)。

【0013】前記炭素1個の基と炭素4個の基に分解させる反応または炭素1個の基と二つの炭素2個の基に分解させる反応を促進させるための処理としては、前記電極が形成される下地表面に触媒を形成する処理があげられる(請求項2)。

【0014】下地表面に形成する触媒には、少なくとも8族または1B族の元素を含む物質(該元素の単体または化合物)があげられる(請求項3)。触媒は、0.5nm以上の膜厚または粒径を有していることが好ましく、例えば、8族または1B族の元素を含む物質をスパ

ッタ法で形成する、或いは8族または1B族の元素を含む溶液に浸すといった方法で形成することができる。

【0015】また、本発明は、誘電体膜として金属酸化物を用い、この誘電体膜を挟む電極としてルテニウム膜または酸化ルテニウム膜を用いたキャパシタを有する半導体装置の製造方法において、少なくとも一方の電極をルテノセンまたはシクロペンタジエニル環の一つ以上の水素が有機官能基に置換された有機基ルテノセンを原料ガスとして用いたCVD法で形成する工程を、原料ガスの配位子であるシクロペンタジエニル基または有機官能基を持つシクロペンタジエニル基の骨格を形成するシクロペンタジエニル環が分解されてルテニウムアセチリド誘導体を生成する反応を抑制する条件下で行うことを特徴とする(請求項4)。

【0016】前記ルテニウムアセチリド誘導体を生成する反応を抑制するための処理としては、前記電極が形成される下地に対する表面処理があげられ(請求項5)、特に原料ガスの構成要素に対して負の電荷を与える反応を生じさせる表面処理(請求項6)があげられる。具体的な表面処理としては、プラズマ中に曝す処理、ハロゲンイオンを含む溶液に浸す処理、アルカリ溶液に浸す処理があげられる。

【0017】また、請求項4に係る発明を成長速度の観点から見ると、例えば、0.02nm/min以上で2nm/min未満の成長速度を有する反応と、2nm/min以上の成長速度を有する反応が段階的に生じる、或いは、0.02nm/min以上で2nm/min未満の成長速度を有する反応が15分以下である、といった特性を有している。

【0018】以下、本発明の有効性を示すためのRu膜の成長メカニズム等について説明する。Ru膜の成長について詳細に調べたところ、Ruの成長はある一定の時間(導入時間)が経過した後に起こっていることが判明した。230℃で成膜した場合について調べたところ、20分以上の導入時間があることがわかった。WやTiN等のLSIに用いられている金属膜をCVD法で成膜する場合はこのような数10分オーダーの導入時間は見られず、RuのCVDが非常に特異であることがわかる。また、導入時間と成長時間に対するRu膜厚についてさらに詳細に調べた結果、図13に示すように、導入時間中は非常に遅い成長速度でRuが成長し、ある程度の膜厚または粒径(0.5-1.5nm程度)になると、成長速度が急激に速くなることがわかった。

【0019】導入時間中での反応過程を四重極質量分析計(Q-Mass)を用いて調べた結果、Ru(Cp)がRuCpとCpに分解される反応、RuCpがRuとCpに分解される反応、RuCpが分解される際に、Cpが炭素2個の基と炭素3個の基に分解され、炭素3個の基がRuと結合してルテニウムメチルアセチリド(RuC≡CCH₃)を形成する反応、があることがわ

かった(図11参照)。

【0020】また、反応をさらに詳細に調べたところ、導入時間中ではルテニウムメチルアセチリドの生成反応に原料のRuが消費され、RuCpがRuとCpに分解される反応に用いられるRuの量が少なく、ルテニウムメチルアセチリドは揮発してウエハ上にRuが形成されないため、Ruの成膜速度は極めて遅くその密度も低いことが判明した。このような反応で成膜したRu膜の断面SEM像を図20に示す。初期核密度が低いため、表面モフォロジーが非常に悪くなっていることがわかる。

【0021】そこで、RuのCVDの前に数層のRuを触媒となるように密に形成し、その後CVD法でRuを成膜したところ、表面の非常に滑らかなRu膜が得られることが判明した。また、この場合は導入時間が見られず、直ちにRu膜の成長が起きていることが判明した。これは、Ruが触媒として機能し、原料ガスを供給したときにCp環が炭素1個の基と炭素4個の基(或いは炭素1個の基と二つの炭素2個の基)に分解する反応を促進させるためである。なお、触媒としてはRu以外に8族や1B族の元素を少なくとも一つ以上含む単体または化合物でも同様に効果があることが判明した。

【0022】また、導入時間中にできるだけ密に初期核が形成されるように下地を処理した場合、下地を処理していない場合と同様に導入時間と成長時間が見られたが、導入時間は下地を処理していない場合よりも短く、また、成膜されたRu膜は非常に良好な表面モフォロジーを有していることが判明した。これは、下地処理を行うことにより、Ru(Cp)基等に対して負の電荷が供与され、ルテニウムアセチリド誘導体が生成される反応が抑制されるためである。

【0023】以上のことから、キャパシタ電極としてRu或いはRuO₂をCVD法で成膜する際に、CVDの反応が促進される触媒を下地表面に密に形成することによって、Ru或いはRuO₂の成長反応が速やかに起こり、成膜された膜の表面モフォロジーを平滑にすることができる(請求項1-3)。

【0024】また、導入時間中に生じるルテニウムメチルアセチリド誘導体の生成を抑制する下地処理を行うことにより、初期核形成速度の上昇と初期核密度の増大をはかることができ、成膜された膜の表面モフォロジーを平滑にすることができる(請求項4-6)。

【0025】

【発明の実施の形態】以下、本発明の実施形態を図面を参照して説明する。

(1)実施形態1

まず、本発明の第1の実施形態に係るキャパシタの製造工程ついて、図1(a)乃至図3(g)を参照して説明する。

【0026】まず、pタイプSi基板1上に、STI構造の素子分離領域2を形成した後、ゲート絶縁膜3a、

ゲート電極3b(ワード線となる)及びソース・ドレイン拡散層(n⁺拡散層)4からなるMOSトランジスタを形成する。その後、層間絶縁膜5aを堆積して平坦化した後、ビット線6を形成する。その後、さらに層間絶縁膜5bを堆積して平坦化した後、コンタクトホールを開孔する(図1(a))。

【0027】次に、W膜7を全面に堆積した後、層間絶縁膜5b上のW膜7をエッチバック法またはCMP法により除去し、コンタクトホール内部にのみ埋め込む(図1(b))。続いて、層間絶縁膜5cを堆積して平坦化した後、コンタクトホールを開孔する(図1(c))。

【0028】次に、基板をRuCl₃のエチレングリコール溶液またはRuのメッキ液に浸す処理を行い、0.5nm以上のRu8を全面に形成する(図2(d))。その後、基板温度180-400℃、圧力0.01-10Torrで、ArガスをキャリアとしたRu(Cp)₂とO₂(雰囲気中O₂濃度40%以下)をチャンバーに導入してRu膜8を全面に堆積する(図2(e))。次に、SOG膜(図示せず)を全面に塗布した後、CMP法で層間絶縁膜5c上のSOG膜及びRu膜を除去し、HF蒸気でコンタクトホール内に残ったSOG膜を除去してRu膜8からなる下部電極を形成する(図2(f))。

【0029】次に、(Ba, Sr)TiO₃膜10をCVD法で全面に堆積する。その後、基板温度100-200℃、圧力1-100Torrで、ArガスをキャリアとしたRu(Cp)₂とO₂の混合ガス中に基板を晒して初期核の形成を行った後、基板温度200-450℃、圧力0.01-10Torrで、ArガスをキャリアとしたRu(Cp)₂とO₂(雰囲気中O₂濃度40%以下)をチャンバーに導入してRu膜11を全面に堆積し、上部電極として加工する(図3(g))。

【0030】このように、RuのCVDを行う直前にRuを含む溶液に浸すことにより、下地表面に0.5nm以上のRuの核を密につけることができる。この場合のRu膜の反応過程を四重極質量分析計を用いて詳細に調べた結果、RuCpが炭素1個の基と炭素4個の基(或いは炭素1個の基と二つの炭素2個の基)に分解してRuが生成する反応でRuの成長が起きていることがわかった(図12参照)。また、0.5nm以上のRuの核は触媒として機能し、原料ガスを供給すると直ちにCp環が炭素1個の基と炭素4個の基(或いは炭素1個の基と二つの炭素2個の基)に分解する反応を促進させることができ、平滑な表面のRu膜を得ることができる。

【0031】なお、上記の例ではRuを含む溶液に浸す処理を行ったが、Ruの代わりにPt, Au, Ir, Rh等の8族或いは1B族の元素を含む溶液に浸し、これらの元素を含む単体または化合物を核とした場合にも、同様の触媒作用により同様の効果を得ることができる。

【0032】(2)実施形態2

次に、本発明の第2の実施形態に係るキャパシタの製造工程について、図4(a)乃至図6(h)を参照して説明する。

【0033】まず、pタイプSi基板1上に、STI構造の素子分離領域2を形成した後、ゲート絶縁膜3a、ゲート電極3b及びソース・ドレイン拡散層(n⁺拡散層)4からなるMOSトランジスタを形成する。その後、層間絶縁膜5aを堆積して平坦化した後、ビット線6を形成する。その後、さらに層間絶縁膜5bを堆積して平坦化した後、シリコン窒化膜5dを堆積し、コンタクトホールを開孔する(図4(a))。

【0034】次に、W膜7を全面に堆積した後、シリコン窒化膜5d上のW膜7をエッチバック法またはCMP法により除去し、コンタクトホール内部にのみ埋め込む(図4(b))。続いて、層間絶縁膜5cを堆積して平坦化した後、コンタクトホールを開孔する(図4(c))。

【0035】次に、スパッタ法で0.5nm以上の膜厚となるように、薄くRu膜8を形成する(図5(d))。その後、基板温度180-400℃、圧力0.01-10 Torrで、ArガスをキャリアとしたRu(EtCp)₃(Etはエチル基を表す)とO₂(雰囲気中O₂濃度40%以下)をチャンバーに導入してRu膜8を全面に堆積する(図5(e))。その後、CMP法で層間絶縁膜5c上のRu膜8を除去してコンタクトホール内部にRu膜8を埋め込む(図5(f))。さらに、希HF水溶液によるウェットエッチングまたは反応性イオンエッチングにて層間絶縁膜5cを除去し、Ru膜8からなる下部電極を形成する(図6(g))。

【0036】次に、(Ba, Sr)TiO₃膜10をCVD法で全面に堆積する。その後、下部Ru電極の場合と同様にしてRu膜11を全面に堆積し、上部電極として加工する(図6(h))。

【0037】このように、RuのCVDを行う直前に0.5nm以上の極薄Ru膜を形成することによって、下地表面にRuの核を密につけることができ、かつ、Ru-CVD時に直ちにEtCpの骨格となるCp環が炭素1個の基と炭素4個の基(または炭素1個の基と二つの炭素2個の基)に分解する反応を促進させる触媒作用が生じ、図17のSEM像に示されるように、平滑な表面のRu膜を得ることができる。

【0038】なお、上記の例ではスパッタ法によりRuの核を形成したが、Ruの代わりにPt, Au, Ir, Rh等の8族或いは1B族の元素を含む単体または化合物を核としても、同様に触媒作用が生じ同様の効果を得ることができる。

【0039】(3) 実施形態3

次に、本発明の第3の実施形態に係るキャパシタの製造工程について、図7(d)乃至図7(f)を参照して説明

する。なお、途中の工程までは第1の実施形態で示した工程(図1(a)-図1(c)の工程)と同様であるため、これらの工程については第1の実施形態を参照することとし、それ以降の工程について説明する。

【0040】図1(c)の工程の後、O₂プラズマ中或いはArプラズマ中に基板を晒し、その後、基板温度200-450℃、圧力0.01-10 Torrで、ArガスをキャリアとしたRu(EtCp)₃とO₂(雰囲気中O₂濃度40%以下)をチャンバーに導入してRu膜8を全面に堆積する(図7(d))。その後、SOG膜(図示せず)を全面に塗布した後、CMP法で層間絶縁膜5c上のSOG膜及びRu膜8を除去し、HF蒸気でコンタクトホール内に残ったSOG膜を除去してRu膜8からなる下部電極を形成する(図7(e))。

【0041】次に、(Ba, Sr)TiO₃膜10をCVD法で全面に堆積する。その後、下部Ru電極8の場合と同様に、O₂プラズマ中或いはArプラズマ中に基板を晒した後、Ru膜11をCVD法で堆積し、上部電極として加工する(図7(f))。

【0042】このように、下部及び上部Ru電極を形成する前に基板をプラズマ処理することにより、ミクロなダメージによって原料ガスが吸着されやすくなり、核密度が増加する。また、ダングリングボンドが生じることにより、電子がRu(EtCp)₃基に供与され、Ruのアセチリド化反応が抑制され、金属Ruを生成する反応が促進される。このため、初期核が形成されやすくなり、島状成長及び表面モフォロジー劣化を防止することができ、良好な特性のキャパシタを実現することができる。

【0043】なお、上記の例ではRuの成膜前にO₂プラズマ中或いはArプラズマ中で処理を行ったが、N₂プラズマ中やNeプラズマ中或いはHCl, BCl₃, Cl₂, F₂等のハロゲンを含むプラズマ中で処理しても初期核密度を増加させることができ、良好なキャパシタを形成することができる。

【0044】また、プラズマの発生方法としては、平行平板型、ヘリコン型、ECR型、誘導結合型等を用いることができる。また、プラズマ処理とRuの成膜を例えばクラスタータイプのCVD装置を用いて真空を破ることなく連続で行うと、より平滑なRu膜を得ることができる。

【0045】(4) 実施形態4

次に、本発明の第4の実施形態に係るキャパシタの製造工程について、図8(d)乃至図9(g)を参照して説明する。なお、途中の工程までは第2の実施形態で示した工程(図4(a)-図4(c)の工程)と同様であるため、これらの工程については第2の実施形態を参照することとし、それ以降の工程について説明する。

【0046】図4(c)の工程の後、NH₄F水溶液、HCl水溶液またはテトラメチルアンモニウムハイドロ

オキサイド (CH_3)、 NOH) 水溶液に浸す処理を行い、その後、基板温度 $180-400^\circ\text{C}$ 、圧力 $0.01-10\text{ Torr}$ で、 Ar ガスをキャリアとした $\text{Ru}(\text{Cp})$ と O_2 (雰囲気中 O_2 濃度 40% 以下) をチャンパーに導入して、 Ru 膜 8 を全面に堆積する (図 8 (d))。その後、CMP 法で層間絶縁膜 5c 上の Ru 膜 8 を除去してコンタクトホール内部に Ru 膜 8 を埋め込む (図 8 (e))。さらに、希 HF 水溶液によるウェットエッチングまたは反応性イオンエッチングにて層間絶縁膜 5c を除去し、 Ru 膜 8 からなる下部電極を形成する (図 9 (f))。

【0047】さらに、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ 膜 10 を CVD 法で全面に堆積する。その後、下部 Ru 電極の場合と同様に Ru 膜 11 を全面に堆積し、上部電極として加工する (図 9 (g))。

【0048】このようにして、 Ru 電極を形成する前にハロゲンイオンを含む溶液中またはアルカリ溶液中で処理することにより、下地表面に吸着した陰イオンから電子が $\text{Ru}(\text{Cp})$ 基に供与され、 Ru のアセチリド化反応が抑制され、金属 Ru を生成する反応が促進される。このため、初期核が形成されやすくなり、島状成長及び表面モフォロジー劣化を防止することができ、良好な特性のキャパシタを実現することができる。

【0049】このように、導入時間中にできるだけ密に初期核が形成されるように下地を処理した場合、下地を処理していない場合と同様に導入時間と成長時間が見られたが、導入時間は下地を処理していない場合よりも短く (基板温度 230°C の場合、処理無しでは 23 分であったのが、本処理を行うことにより 14 分になった)、また、図 18 の SEM 像に示されるように、成膜された Ru 膜は非常に良好な表面モフォロジーをもっていることが判明した。このように、初期核が触媒作用を生じる大きさになるまでの導入時間が短くなるように Ru のアセチリド化反応を抑制すれば、下地表面に形成される Ru の量が増加し、かつ、触媒として作用する初期核密度も向上させることができる。詳細に調べたところ、導入時間が 15 分以内となるように下地を処理することで、平滑な Ru 膜が得られることが判明した。

【0050】(5) 実施形態 5

次に、本発明の第 5 の実施形態に係るキャパシタの製造工程について、図 10 (d) 乃至図 10 (f) を参照して説明する。なお、途中の工程までは第 1 の実施形態で示した工程 (図 1 (a) - 図 1 (c) の工程) と同様であるため、これらの工程については第 1 の実施形態を参照することとし、それ以降の工程について説明する。

【0051】図 1 (c) の工程の後、基板温度 200°C で Cl_2 ガスまたは 5% に希釈した F_2 ガスに基板を晒し、その後、基板温度 $200-450^\circ\text{C}$ 、圧力 $0.01-10\text{ Torr}$ で、 Ar ガスをキャリアとした $\text{Ru}(\text{MeCp})$ 、 $(\text{Me}$ はメチル基を表す) と O_2 (雰囲気中

O_2 濃度 40% 以上) をチャンパーに導入して、 RuO_3 膜 12 を全面に堆積する (図 10 (d))。その後、 SOG 膜 (図示せず) を全面に塗布した後、CMP 法で層間絶縁膜 5c 上の SOG 膜及び RuO_3 膜 12 を除去し、 HF 蒸気でコンタクトホール内に残った SOG 膜を除去して、 RuO_3 膜 12 からなる下部電極を形成する (図 10 (e))。

【0052】次に、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ 膜 10 を CVD 法で全面に堆積する。その後、下部 RuO_3 電極形成の場合と同様にハロゲンガスで処理した後、 RuO_3 膜 13 を全面に堆積し、上部電極として加工する (図 10 (f))。

【0053】このようにして、 RuO_3 電極を形成する前にハロゲンを含む雰囲気中で処理することにより、下地表面に吸着したハロゲンから電子が $\text{Ru}(\text{MeCp})$ 基に供与され、 Ru のアセチリド化反応を抑制し、金属 Ru の生成反応が促進され、この金属 Ru と酸素が結合して RuO_3 が形成される反応も促進される。このため、初期核が形成されやすくなり、島状成長及び表面モフォロジー劣化を防止することができ、良好な特性のキャパシタを実現することができる。

【0054】以上、本発明の実施形態について説明したが、本発明を用いることにより表面モフォロジーの良好な Ru 膜を得ることができる。図 19 に Ru を 20 nm と薄膜化した場合の SEM 像を示す。 20 nm という薄膜にもかかわらず、島状の成長も見られず、表面が非常に平滑な Ru がコンフォーマルに成膜されていることが判明した。

【0055】なお、本発明は上記各実施形態に限定されるものではなく、種々変形して実施可能である。上記実施形態では Ru や RuO_3 形成の際に O_2 ガスをチャンパーに導入しているが、 O_2 の代わりに O_3 や O ラジカルを用いてもよい。例えば O ラジカルを用いる場合には、マイクロ波放電によって発生させた O ラジカルをチャンパーに導入すればよい。

【0056】また、上記実施形態ではキャパシタ絶縁膜に $(\text{Ba}, \text{Sr})\text{TiO}_3$ を用いて説明したが、 PZT 、 STO 、 Ta_2O_5 、 BTO 、 SBT 等を用いてもよい。さらに、 W 膜の下地に Ti 膜や TiN 膜或いはこれらの積層膜を密着層として堆積してもよい。

【0057】また、 $\text{Ru}(\text{Cp})$ 、 $\text{Ru}(\text{MeCp})$ 、 $\text{Ru}(\text{EtCp})$ 、以外にも骨格が Cp 環の配位子であれば本発明を適用することができる。また、 Ru 以外の金属のメタロセン誘導体でも同様の効果を奏することが可能である。

【0058】また、反応機構に関する説明では、反応をわかりやすく説明するため、 $\text{Ru}(\text{Cp})$ を原料とした場合について説明したが、 Cp 基の一つ以上の水素がメチル基やエチル基或いはプロピル基等の有機官能基に置換された原料を用いても、骨格となる Cp 環が上記の

ように分解されるのは同様である。この場合、例えばメチルシクロペンタジエニル基 (CH_2 , Cp基) のCp環が炭素1個と炭素4個の基に分解された際に、炭素1個の基にメチル基がついていてこれが酸素と反応したとすると、アセトアルデヒド (CH_3 , CHO) や酢酸 (CH_3 , COOH) を生じることになる (同様の反応がCp基のみの場合にはホルムアルデヒド (HCHO) や蟻酸 (HCOOH) が生じる)。その他、本発明は、その趣旨を逸脱しない範囲内において種々変形して実施することが可能である。

【0059】

【発明の効果】本発明によれば、所定の条件下でルテニウムまたは酸化ルテニウムを形成することにより、ルテニウムまたは酸化ルテニウムの島状成長が抑制され、平滑な表面モフォロジーが得られる。よって、特性に優れた信頼性の高いキャパシタを実現することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る製造工程の一部を示した工程断面図。

【図2】本発明の第1の実施形態に係る製造工程の一部を示した工程断面図。

【図3】本発明の第1の実施形態に係る製造工程の一部を示した工程断面図。

【図4】本発明の第2の実施形態に係る製造工程の一部を示した工程断面図。

【図5】本発明の第2の実施形態に係る製造工程の一部を示した工程断面図。

【図6】本発明の第2の実施形態に係る製造工程の一部を示した工程断面図。

【図7】本発明の第3の実施形態に係る製造工程の一部を示した工程断面図。

【図8】本発明の第4の実施形態に係る製造工程の一部を示した工程断面図。

【図9】本発明の第4の実施形態に係る製造工程の一部を示した工程断面図。

【図10】本発明の第5の実施形態に係る製造工程の一

部を示した工程断面図。

【図11】基板温度230℃での導入時間中のマススペクトルと室温でのマススペクトルの差スペクトルについて示した図。

【図12】基板温度230℃でのRu成長中のマススペクトルと室温でのマススペクトルの差スペクトルについて示した図。

【図13】Ru膜厚とガス供給時間との関係を模式的に示した図。

10 【図14】従来技術に係る製造工程の一部を示した工程断面図。

【図15】従来技術に係る製造工程の一部を示した工程断面図。

【図16】従来技術の問題点の一例を示した図。

【図17】触媒形成後にRuを成膜したときのSEM像を示した顕微鏡写真。

【図18】下地処理をした後にRuを成膜したときのSEM像を示した顕微鏡写真。

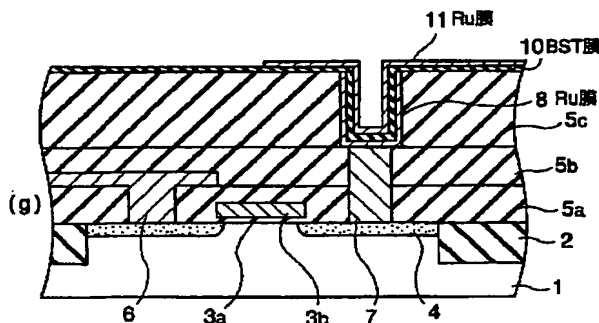
20 【図19】本発明の方法によってRuを薄膜化したときのSEM像を示した顕微鏡写真。

【図20】初期核密度が低い場合のRu膜のSEM像を示した顕微鏡写真。

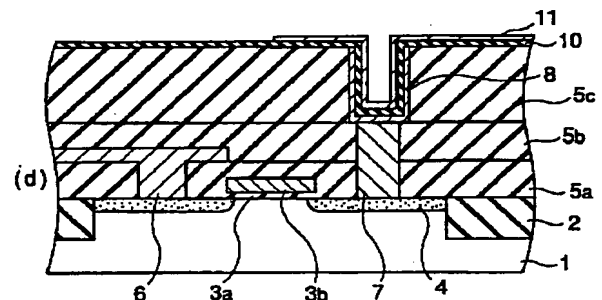
【符号の説明】

- 1…Si基板
- 2…素子分離領域
- 3a…ゲート絶縁膜
- 3b…ゲート電極
- 4…S/D拡散層
- 5a、5b、5c…層間絶縁膜
- 30 5d…シリコン窒化膜
- 6…ビット線
- 7…W膜
- 8、11…Ru膜
- 9…SOG膜
- 10…(Ba, Sr)TiO₃膜
- 12、13…RuO₂膜

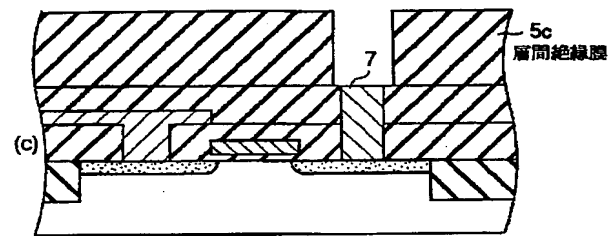
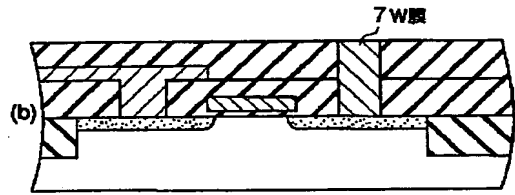
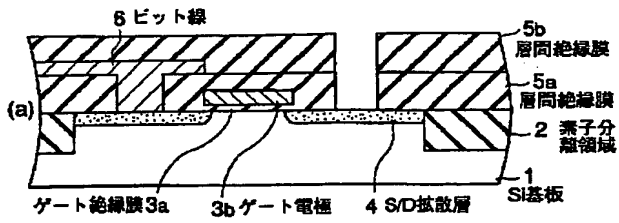
【図3】



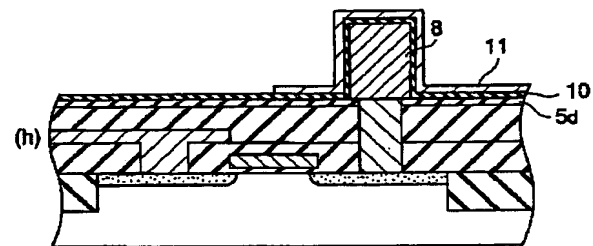
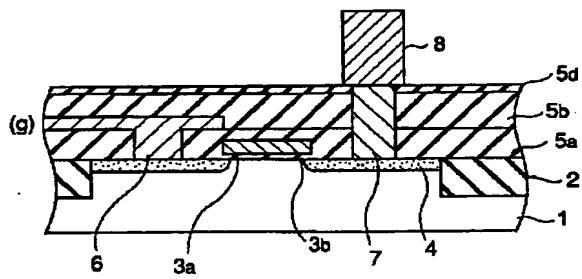
【図15】



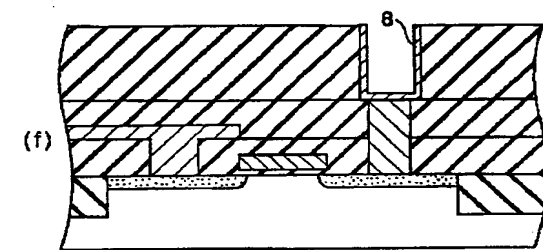
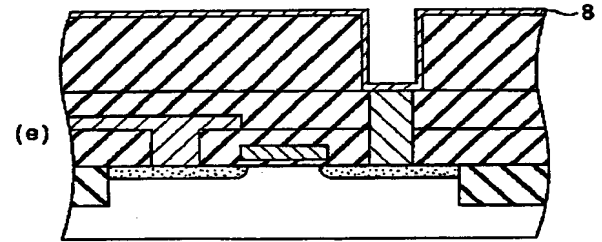
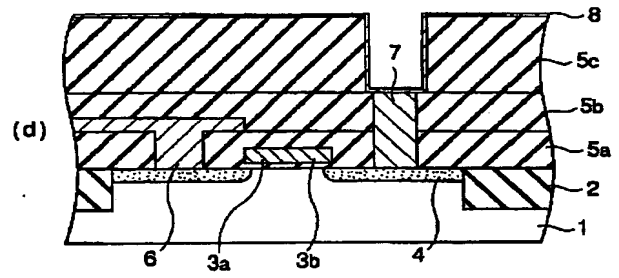
【図1】



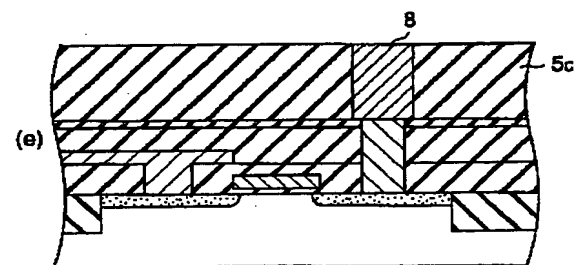
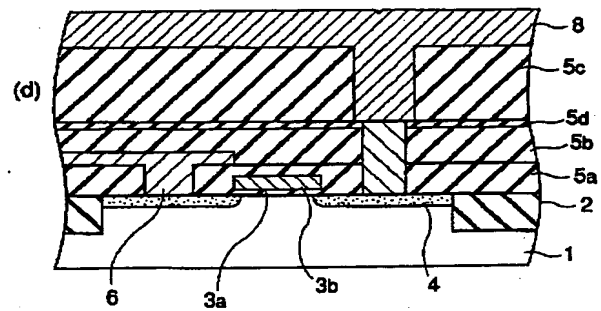
【図6】



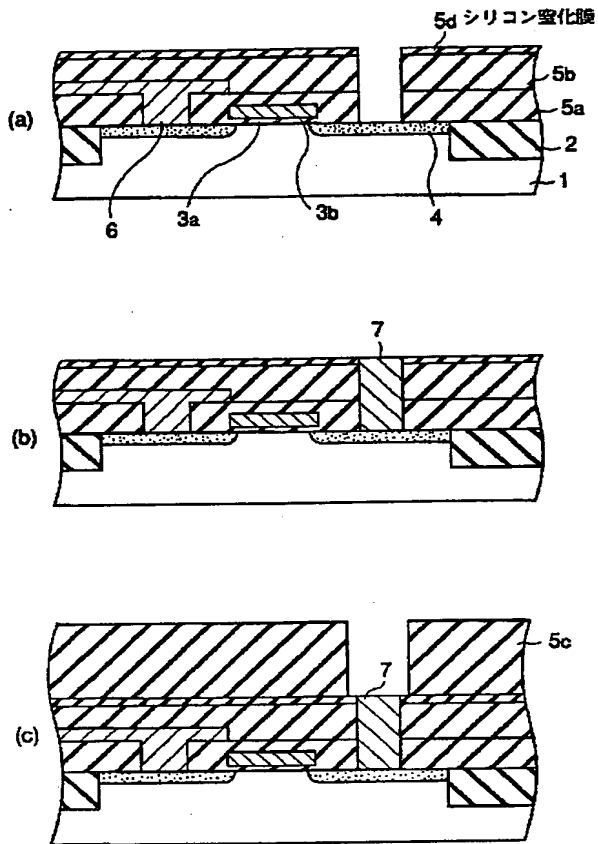
【図2】



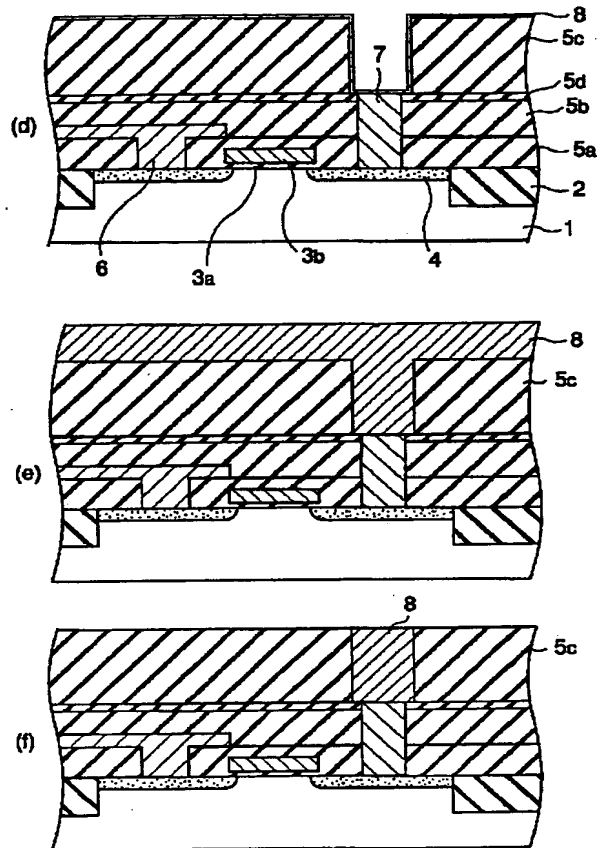
【図8】



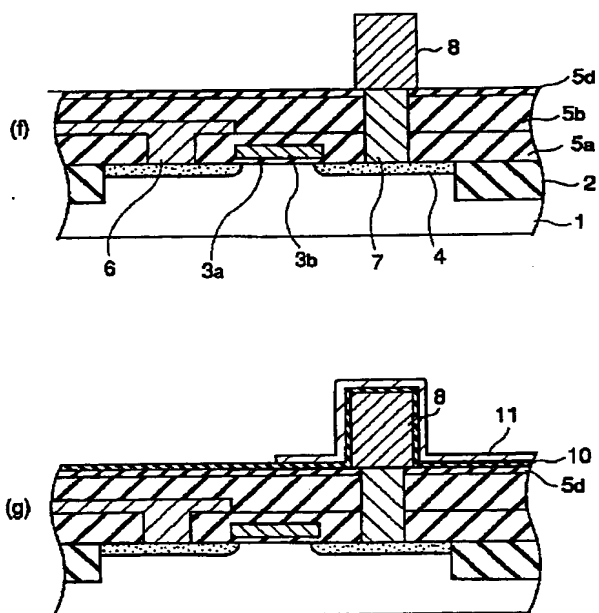
【図 4】



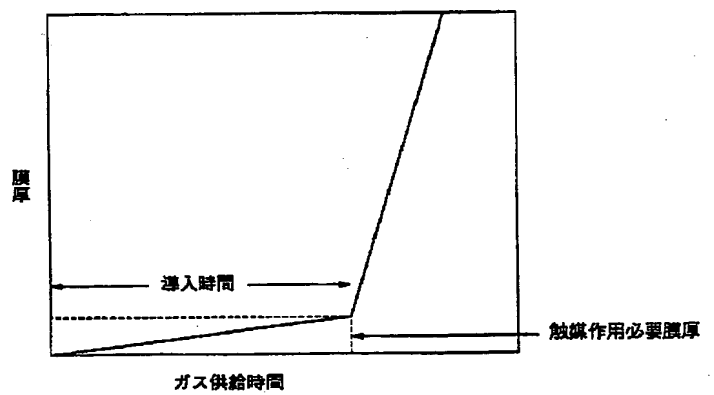
【図 5】



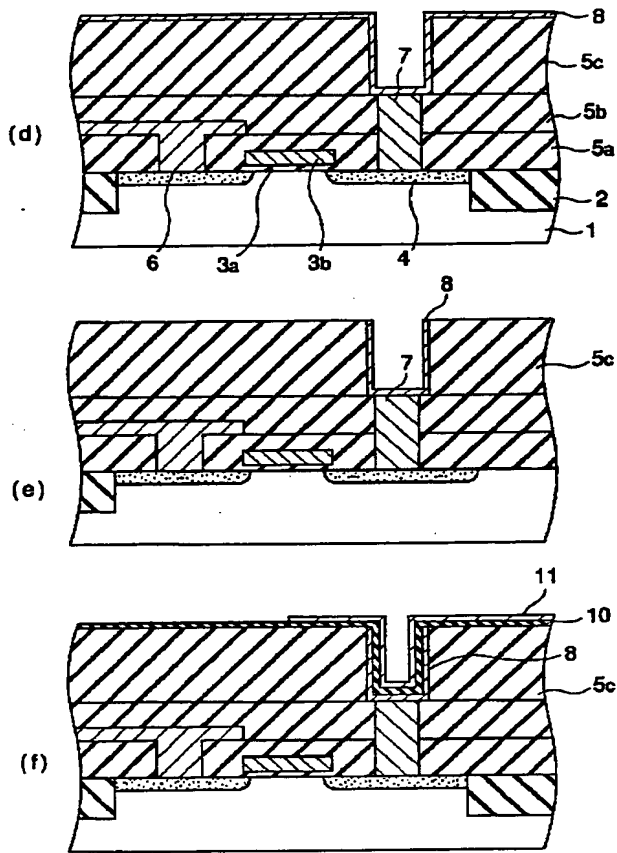
【図 9】



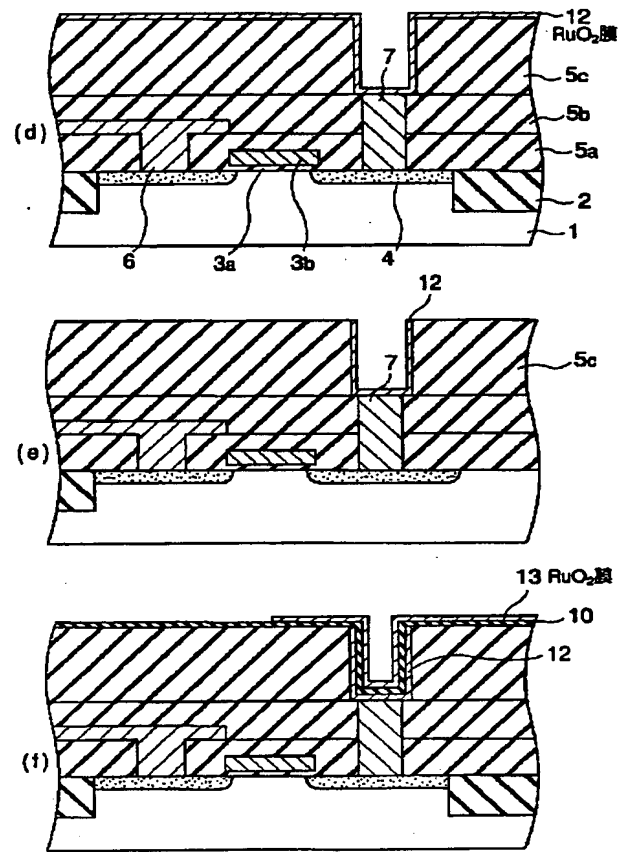
【図 13】



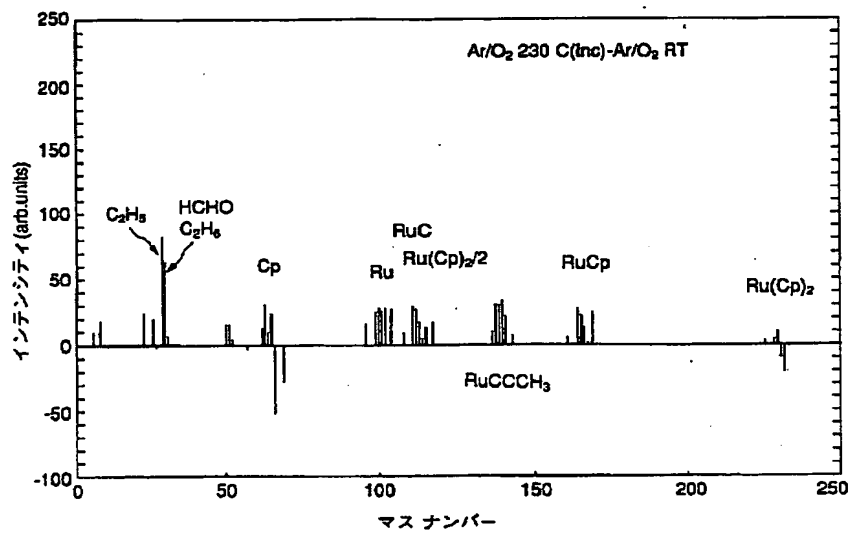
【図 7】



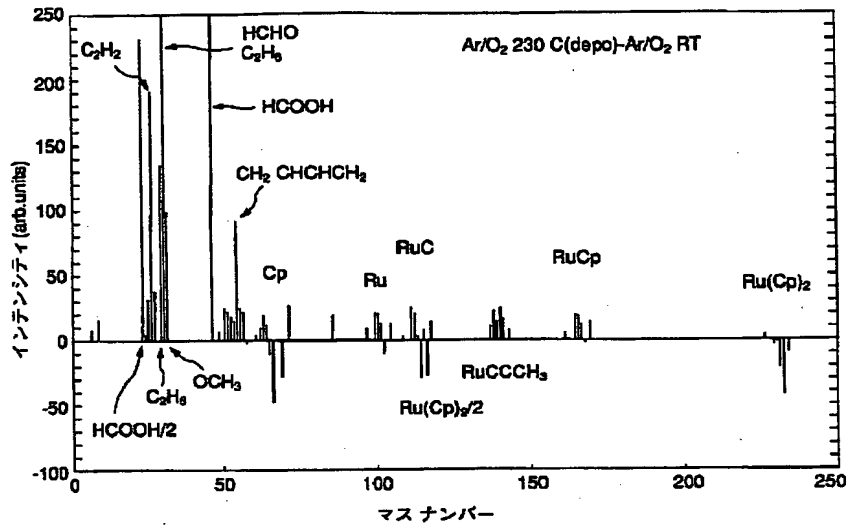
【図 10】



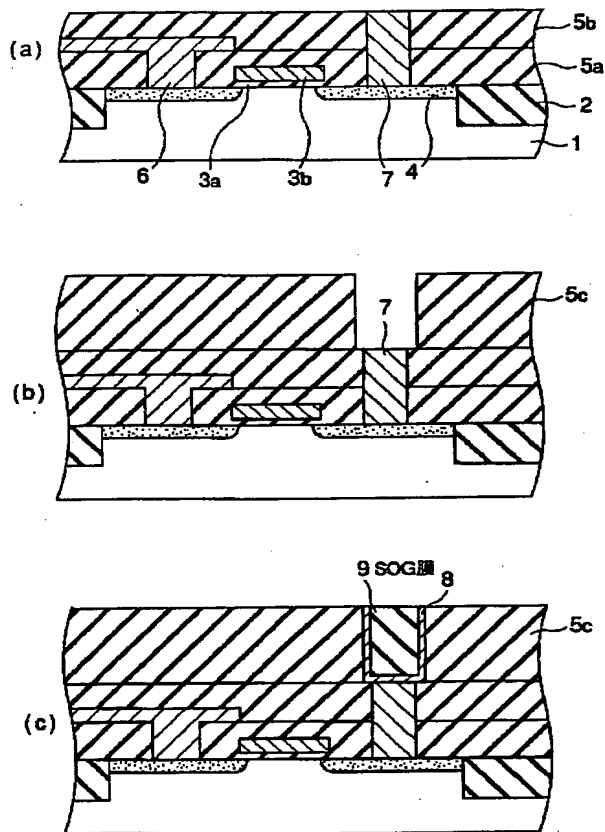
【図 11】



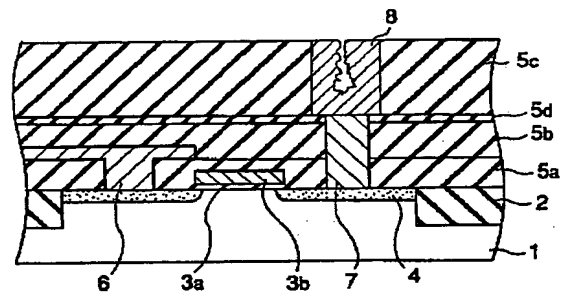
【図 12】



【図 14】



【図 16】



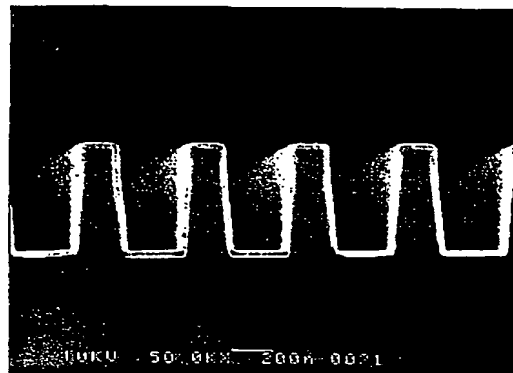
【図 17】



【図 1 8】



【図 1 9】



【図 2 0】

